

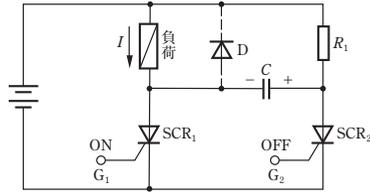
電子工学 訂正のお知らせ

以下のように訂正いたします。

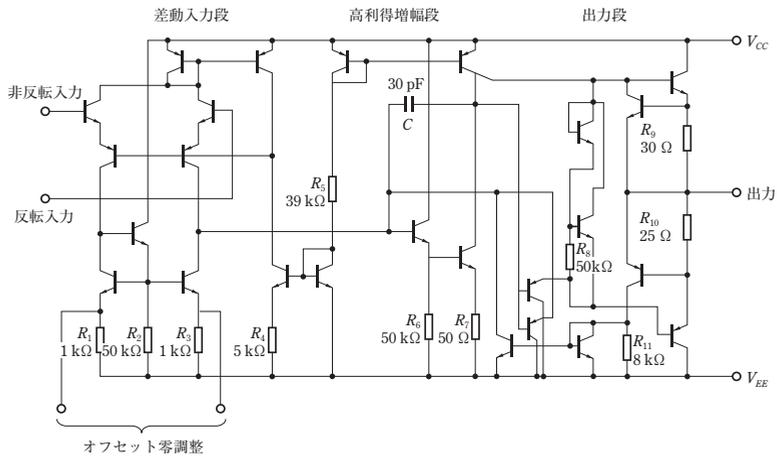
●70頁 下から5行目

図2-71は、SCR₁によって、～ ➡ 図2-71は、SCR₂によって、～

●70頁 『図2-71 直流スイッチ回路』 を以下に差し替える。

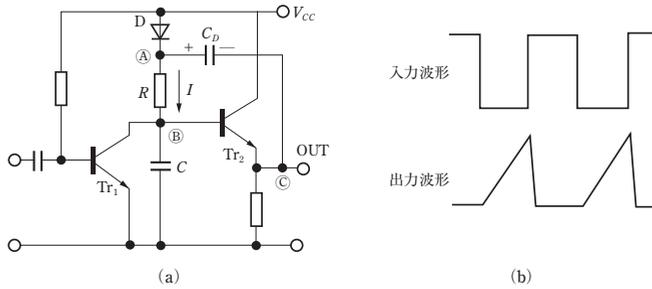


●123頁 『図3-45 (a) 内部等価回路』 を以下に差し替える。

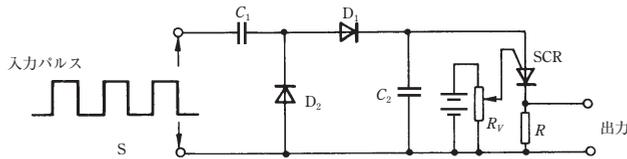


(a) 内部等価回路

●188頁 『図4-14 ブーストラップ回路』 を以下に差し替える。



●189頁 『図4-15 (b) 分周回路』 一番上の図 を以下に差し替える。



●190頁 下から3行目

～図 (b) のように E_1 と E_2 で～ → ～図 (b) のように V_1 と V_2 で～

●212頁 上から4～5行目

～。それぞれのマスはその中の論理積に対応している。



～。今までの真理値表は、2進数で値の小さい順に並んでいた。しかし、カルノー図は、隣り合うセル同士、両端のセル同士の符号が1ビット異なる順に並べる。これを符号間の距離が1であると言う。この表では、上端のセルと下端のセル、右端のセルと左端のセルは連続していると考える。

●212頁 『図5-15 カルノー図』 を以下に差し替える。

B	0	1
A		
0		
1		

(a) 2 変数

C	0	1
AB		
00		
01		
11		
10		

(b) 3 変数

CD	00	01	11	10
AB				
00				
01				
11				
10				

(c) 4 変数

●212頁 下から3～1行目

- ③ 図中，隣り合った1はループで囲う。ただしループに含まれる1の数は，2，4，8，…… 2^n 個であり，またループの重なりは許される。
- ④ 各ループに対応する論理積を読み取る。



- ③ 図中，隣り合った1はループで囲う。ただし，ループに含まれるマスの数は，2，4，8，…… 2^n 個である。ループの重なりは許される。上端のセルと下端のセル，右端のセルと左端のセルは連続していることに注意する。
- ④ 各ループ内で，値が1と0の両方をとる変数は除外し，常に0となる変数は否定の形 (\bar{A}) で，常に1となる変数はそのままの形 (A) で取り出し，それらの論理積を作る。

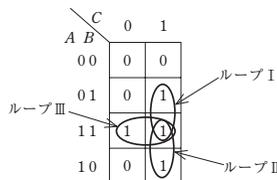
●213頁 上から2～4行目

例えば，表5-6の真理値表からカルノー図を用いて簡単化してみよう。カルノー図に記入すると図5-16のようになる。図中隣接しているもの同士をループⅠ，Ⅱ，Ⅲで囲い，それぞれ変数 A ， B ， C が圧縮され，ループは，～

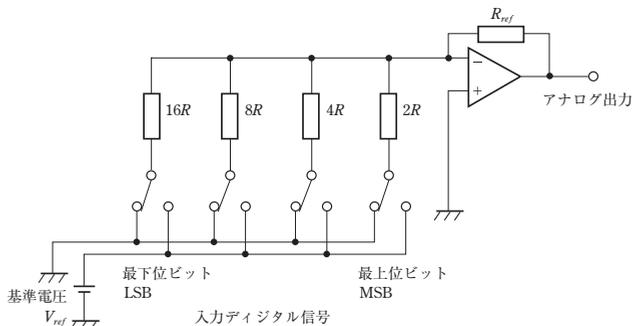


例えば，表5-6の真理値表からカルノー図を作成し，論理式を簡単化してみよう。カルノー図のセルに表5-6の真理値表から論理積が1に対応するマスに1を，残ったマスに0を記入する。図中，隣り合った1をループで囲う。ループに含まれるマスの数は，2，4，8，…… 2^n 個となることに注意する。各ループ内で，値が1と0の両方をとる変数は除外し，論理積を作ると，～

●213頁 『図5-16 カルノー図を用いての簡単化』 を以下に差し替える。



●233頁 『図5-44 重み抵抗形の基本構成』 を以下に差し替える。



●234頁 上から1～3行目

～最下位ビットの抵抗値を $2R$ とするとそれぞれのビットは $4R, 8R, 16R$ となり、重み付きの電圧は $1/15 \cdot V_{ref}, 2/15 \cdot V_{ref}, 4/15 \cdot V_{ref}, 8/15 \cdot V_{ref}$ となる。入力のデジタル信号によってそれぞれの重みの電圧の和となり、アナログ出力が得られることになる。



～最上位ビットの抵抗値を $2R$ とすると、それぞれのビットの抵抗値は $4R, 8R, 16R$ となる。入力の重みは、最上位ビットより $R_{ref}/2R, R_{ref}/4R, R_{ref}/8R, R_{ref}/16R$ となる。ここで、 $R_{ref} = 16R$ とすると、入力の重みは最上位ビットより、 $8, 4, 2, 1$ となり、それぞれの重みをかけた電圧の和が出力として得られる。

●234頁 下から3～1行目

～はしご形に接続され、最下位ビットから対応する電圧は $1/2V_{ref}, 1/4V_{ref}, 1/8V_{ref}, 1/16V_{ref}$ となり、入力デジタル信号によってそれぞれの電圧の和がアナログ出力として得られる。



～はしご形に接続される。入力の重みは、最上位ビットより $V_{ref}/2R, V_{ref}/4R, V_{ref}/8R, V_{ref}/16R$ となり、それぞれの電圧の和をオペアンプで増幅することで、出力が得られる。

●234頁 『図5-45 はしご形の基本構成』を以下に差し替える。

